

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-244622
(P2002-244622A)

(43) 公開日 平成14年8月30日 (2002.8.30)

(51) Int.Cl. ⁷	識別記号	F I	データ* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 2 1		6 2 1 B
	6 2 3		6 2 3 R

審査請求 未請求 請求項の数12 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2001-36303(P2001-36303)

(22) 出願日 平成13年2月14日 (2001.2.14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 工藤 泰幸

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 横田 善和

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

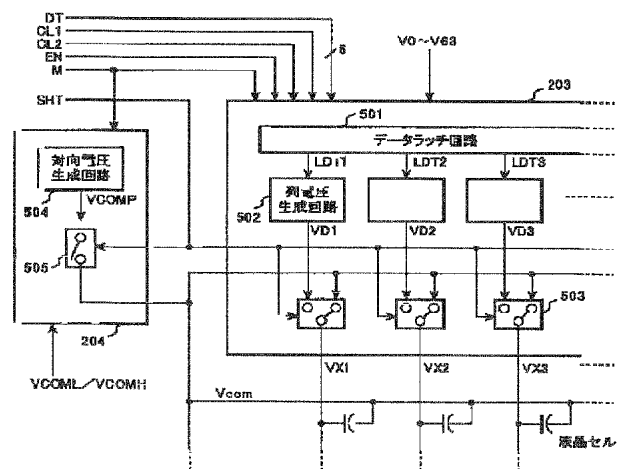
(54) 【発明の名称】 液晶駆動回路および液晶表示装置

(57) 【要約】

【課題】マトリクス型の液晶表示装置において、消費電力を抑えるためには、ストレージ容量の配置や、ストレージ容量への配線といった、新規回路基板設計が必要となり、また部品点数も増加するといった課題があった。

【解決手段】本発明の液晶表示装置は、液晶を挟持する列電極と対向電極に対し、交流化のタイミングに同期して、双方の電極を一時的にショートするためのスイッチ手段を設けることにした。これにより、電力を消費することなく、交流化のほぼ中点まで電圧を遷移させることができ、かつ外部に新たな部品を設ける必要がない。したがって、低消費電力化と低コスト化を図ることができる。

図5



【特許請求の範囲】

【請求項1】液晶パネルに備えられた電極に対して、液晶印加電圧の交流化のタイミングを示す交流化信号に応じた所定の電圧を出力する液晶駆動回路において、前記交流化信号の変化を検知する手段と、検知された前記変化に基づいた所定期間を定める手段と、定められた前記所定期間において、前記所定の電圧を変更する手段と、変更された電圧を出力する手段を有し、前記変更する手段での制御に応じて、前記液晶パネルに蓄積される電荷を低減することを特徴とする液晶駆動回路。

【請求項2】請求項1に記載の液晶駆動回路において、前記変更する手段は、前記液晶パネルに蓄積する電荷を0になるよう前記電圧を変更することを特徴とする液晶駆動回路。

【請求項3】請求項1または2に記載の液晶駆動回路において、当該液晶駆動回路は、前記液晶表示パネルに備えられた対向電極およびストレージ電極に対して、前記交流化信号に従った対向電圧を出力する対向電極駆動回路であって、前記変更する手段は、前記所定期間において、前記出力する手段での前記対向電圧の出力を抑制することを特徴とする液晶駆動回路。

【請求項4】請求項3に記載の液晶駆動回路において、前記出力する手段は、接続先を変更可能なスイッチであり、前記スイッチは、前記制御する手段での出力に応じて、前記所定期間では無接続状態、それ以外では前記対応電極に接続することを特徴とする液晶駆動回路。

【請求項5】請求項1または2に記載の液晶駆動回路において、当該液晶駆動回路は、前記液晶表示パネルに備えられた列電極に、前記液晶パネルに表示する表示データと前記交流化信号に基づいた列電圧を出力する列電極駆動回路であって、前記交流化信号に従った対向電圧を入力する手段をさらに有し、前記出力する手段は、入力された前記対向電圧を出力することを特徴とする液晶駆動回路。

【請求項6】請求項5に記載の液晶駆動回路において、前記出力する手段に接続され、電圧を出力する複数の端子と接続可能なスイッチであり、前記スイッチは、前記制御する手段での出力に応じて、前記所定期間では前記対向電圧を出力する端子と接続し、それ以外では前記列圧を出力する端子に接続することを特徴とする液晶駆動回路。

【請求項7】請求項1乃至6のいずれかに記載の液晶駆

動回路において、

前記交流化信号により定められる交流化のタイミングは、前記液晶表示パネルに対する1走査期間毎であることを特徴とする液晶駆動回路。

【請求項8】列電極、対向電極およびストレージ電極を備えた液晶表示装置において、前記対向電極および前記ストレージ電極に対して、液晶印加電圧の交流化のタイミングを示す交流化信号に従った対向電圧を出力する対向電極駆動回路と、前記列電極に、前記液晶パネルに表示する表示データと前記交流化信号に基づいた列電圧を出力する列電極駆動回路とを有し、前記対向駆動回路および前記列電極駆動回路は、前記交流化信号の変化に基づいた所定期間において、前記対向電圧および前記列電圧を変更して出力することにより、前記液晶パネルに蓄積される電荷を低減することを特徴とする液晶表示装置。

【請求項9】請求項8に記載の液晶表示装置において、前記液晶パネルに蓄積する電荷を0になるよう前記電圧を変更することを特徴とする液晶表示装置。

【請求項10】請求項9に記載の液晶表示装置において、前記対向電極駆動回路は、接続先を変更可能なスイッチを有し、前記スイッチは、前記所定期間では無接続状態、それ以外では前記対応電極に接続することを特徴とする液晶表示装置。

【請求項11】請求項9または10に記載の液晶表示装置において、前記列電極駆動回路は、電圧を出力する複数の端子と接続可能な入力スイッチであり、前記入力スイッチは、前記所定期間では前記対向電圧を出力する端子と接続し、それ以外では前記列圧を出力する端子に接続することを特徴とする液晶表示装置。

【請求項12】請求項9乃至11のいずれかに記載の液晶表示装置において、前記交流化信号により定められる交流化のタイミングは、前記液晶表示パネルに対する1走査期間毎であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型の液晶表示装置における、低消費電力化技術に関する。

【0002】

【従来の技術】印加する電圧の実効値で各画素の透過率（明るさ）を制御するマトリクス型の液晶表示装置は、液晶の劣化現象を防止するため、液晶印加電圧の極性を一定期間毎に反転する、いわゆる交流化が必要である。この際、液晶が誘電体であることから、上記交流化にお

いて、液晶の充放電に伴う電力が消費される。

【0003】この消費電力を削減する方法として、米国特許US5,852,426記載の方法がある。この方法は、液晶駆動用電極の接続先を、液晶駆動回路または外部ストレージ容量に切り替えるスイッチを設け、1走査期間の第1の期間で外部ストレージ容量、第2の期間で液晶駆動回路を選択する。ここで、外部ストレージ容量が十分大きい場合、前記第1の期間において、電力を消費することなく、駆動電圧を交流振幅のほぼ中点にまで遷移させることが可能となる。これにより、何もしない場合に比べて消費電力を削減することができる。

【0004】

【発明が解決しようとする課題】上記した従来技術においては、液晶駆動回路の外部にストレージ容量を設置する必要があった。このため、この技術を適用する場合、ストレージ容量の配置や、ストレージ容量への配線といった、新規回路基板設計が必要となり、また部品点数も増加するといった課題があった。

【0005】本発明の目的は、この課題を顧み、外部に部品を設けずに交流化に伴う消費電力を削減する、マトリクス型液晶表示装置およびその駆動方法を提供することにある。

【0006】

【課題を解決するための手段】上記課題を解決するにあたり、本発明では、図1に示すように、液晶を挟持するA電極とB電極を、交流化のタイミングにおいて一時的にショートすることにより、液晶に蓄積される電荷が0（もしくは実質的に0）に初期化できることに着目した。つまり、このショートを行ったシーケンスにより、電力を消費することなく、交流化のほぼ中点まで電圧を遷移させることができる。これは、外部に部品を設けることなく、従来技術と同様な電力削減効果が得られることを意味する。

【0007】この考え方を基に、本発明の液晶表示制御装置および液晶表示装置は、液晶を挟持する列電極と対向電極に対し、交流化のタイミングに同期して、双方の電極を一時的にショートするためのスイッチ手段を設けることにした。また、本発明は、交流化のタイミングに同期して、液晶に蓄積される電荷を所定値以下にすることも含む。所定値以下としては、0（もしくは実質的に0）を含む。

【0008】

【発明の実施の形態】以下、本発明第1の実施の形態を、図2～9を用いて説明する。図2は本発明第1の実施の形態に係る液晶表示装置の構成を示す図である。図2において、201は本発明の液晶表示装置、202はタイミング制御部、203は列電極駆動部、204は対向電極駆動部、205は行電極駆動部である。また、画素に相当する部分には3端子のスイッチ素子、液晶セル、保持容量が配置され、スイッチ素子のドレイン端子

は列電極、ゲート端子は行電極、ソース端子は液晶セルと保持容量に接続される。また、液晶セルの他方の端子は共通の対向電極に接続され、保持容量の他方の端子は、共通のストレージ電極に接続され、これらは共に、対向電極駆動部204によって駆動される。この接続を実現するため、例えば列電極、行電極、ストレージ電極は液晶を挟持する2枚の透明基板の一方の内面にマトリクス状に形成され、対抗電極は他方の内面にべた状に形成される。

【0009】以下、本液晶表示装置201を線順次走査することを前提に、対向電極の印加電圧を振幅させる、いわゆるコモン反転駆動を実施する場合を例にとり、各ブロックの動作について説明する。

【0010】まず、タイミング制御部202は、スイッチ素子を用いたマトリクス型液晶（以下、アクティブマトリクス型液晶と呼ぶ）における標準的な画像入力信号群を、外部のグラフィックコントローラから受ける。これらの信号群のタイミングチャートを図3に示す。そして、これらの信号群から、図4に示すように、先頭ラインの走査タイミングを示すFLM、列電極および対向電極への電圧印加タイミングを示すCL1、有効表示データの転送期間を示すEN、交流化の極性を示すM、ショートのタイミングを示すSHT、行電極への電圧印加タイミングを示すCL3、表示データの転送クロックを示すCL2、表示データを示すDTの各信号を生成して出力する。なお、本実施例において、DTは1画素につき6ビットの階調情報を持つものとする。

【0011】次に、列電極駆動部203および対向電極駆動部204の内部構成を図5に示す。図5において、501はデータラッチ回路、502は列電圧生成回路、503はショートスイッチA、504は対向電圧生成回路、505はショートスイッチBである。列電極駆動部203の入力は、DATA、CL1、CL2、EN、M、SHT、および列電圧V0～V63であり、対向電極駆動部204の入力は、M、および対向電圧の基準電圧であるVCOMHとVCOMLである。なお、V0～V63とVCOMH、VCOMLの各電圧レベルは、外部から入力されるVCC電圧を基に、電源回路206にて生成されるものとする。また、各電圧レベルの相互関係は、一般的なコモン反転駆動における設定と同じであり、液晶の印加電圧－透過率特性に合わせて最適設定されている。まず、列電極駆動部203において、データラッチ回路501は、ENがハイ期間におけるDTをCL2を用いて1行分格納し、格納したデータをCL1に同期して一斉にLD Tとして出力する動作を繰り返す。列電圧生成回路502は、各列のLD TとMに応じて、入力される列電圧V0～V63の中からひとつを選択し、VDとして出力する。この選択動作の一例を図6に示す。ショートスイッチA503は、列電圧生成回路502からの端子と対向電極からの端子とを、SHTに

応じて選択するスイッチであり、SHTがハイの時は対向電極、ローの時には列電圧生成回路の端子を選択し、それぞれの列電極にVXとして出力する。

【0012】次に、対向電極駆動部204において、対向電圧生成回路504は、入力されるMがハイの時はVCOMH、ローの時にはVCOMLを選択し、VCOM Pとして出力する。そして、ショートスイッチB505は、対向電圧生成回路504からの端子をそのまま接続するかどうかをSHTに応じて選択するスイッチであり、SHTがハイの時は接続を切り、ローの時には接続し、これをVCOMとして対向電極およびストレージ電極へ出力する。

【0013】以上の動作をまとめたタイミングチャートを図7に示す。図7から判るように、VXとVCOMは、SHTがハイになるとショートされてある同じ電位レベルに到達し、その後SHTがローになるとショートが解除されて通常の駆動動作になる。これは、先に述べた消費電力を削減する動作に等しい。

【0014】次に、行電極駆動部205の動作について説明する。まず、行電極駆動部205の入力は、FLM、CL3、および行電圧の基準電圧であるVGONとVGOFFである。なお、VGONと、VGOFFは、外部から入力されるVCC電圧を基に、電源回路206にて生成され、VGONは行電極に接続されるトランジスタのゲートがオンになる電圧レベル、VGOFFはゲートオフになる電圧レベルである。そして、行電極駆動部205の動作は、図8のタイミングチャートに示すように、FLMのハイをCL3の立上りで取り込み、これをCL3に同期して順次シフトし、行電極にVYとして出力する。なお、この動作は、例えばシフトレジスタを用いることで実現可能である。

【0015】ここで、例えば図2の液晶表示装置において、VX1が印加される列とVY1が印加される行の交差部をP11、VX1とVY2との交差部をP12とし、P11とP12における液晶印加電圧VLC11、VLC12について考えてみる。なお、P11とP12の表示データは、それぞれ(111111)、(100000)とし、液晶のモードは図6におけるNBモードとする。図9はVLC11とVLC12の印加電圧波形を示したものである。図9から判るように、VLC11とVLC12はそれぞれのVGON期間で、VCOMとVX1との差電圧が印加された後、VGON期間の終了時の電圧がホールドされる。この時の電圧はそれぞれ、表示データに応じた電圧レベルであることから、一般的なコモン反転駆動と同様の表示を実現することが可能である。

【0016】なお、本実施例においては、Mの切り換え周期を1走査期間毎としたが、これに限られる訳ではなく、複数走査期間毎でも良い。この場合、SHTはMの切り換え後の最初の1走査期間に対してのみハイとロー

を出力し、それ以外の期間ではローであることが望ましい。

【0017】以下、本発明第2の実施の形態を、図10～13を用いて説明する。本発明第2の実施の形態は、表示メモリ内蔵型の液晶表示制御装置に対し、本発明の適用例を示したものである。図10において、1001は液晶表示制御装置、1002はシステムインタフェース、1003は制御レジスタ、1004はタイミング生成部、1005はアドレスデコーダ、1006は表示メモリ、1007は列電極駆動部、1008は対向電極駆動部、1009は行電極駆動部、1010は電源回路である。

【0018】まず、液晶表示制御装置のインタフェースは、例えばいわゆる68系のバスインタフェースに準拠しており、図11に示すように、チップ選択を示すCS、制御レジスタのアドレス/データを選択するRS、動作の起動を指示するE、データの書込み/読出しを選択するRW、アドレス/データの実際の値であるDが、システムバスを介して与えられる。そして、これらの制御信号は、制御レジスタ1003のアドレスを指定するサイクルと、データを書込むサイクルを持つ。これらのサイクルにおける制御信号の動作を、図12を用いて説明する。まず、アドレス指定のサイクルでは、CSが“ロー”、RSが“ロー”、RWが“ロー”、Dが所定のアドレス値にセットされ、その後、Eが一定期間“ハイ”にセットされる。一方、データ書込みのサイクルでは、CSが“ロー”、RSが“ハイ”、RWが“ロー”、Dが所望のデータにセットされ、その後、Eが一定期間“ハイ”にセットされる。なお、これらの動作は、装置全体を制御するオペレーティングシステムとアプリケーションソフトウェアにより、予めプログラムされている。

【0019】システムインタフェース1002は、上記制御信号をデコードする部分であり、アドレス指定のサイクルでは、該当するアドレスを書込み状態にするための信号、データ書込みのサイクルでは書込むデータを、それぞれ制御レジスタ1003へ出力する。

【0020】制御レジスタ1003では、指示されたアドレスのレジスタを書込み状態とし、このレジスタにデータを格納する。なお、制御レジスタ1003へ書込むデータは、液晶パネルの解像度等の各種駆動パラメータ、および表示データとその表示位置データであり、これらはそれぞれ別のアドレスに書込むものとする。そして、制御レジスタ1003に格納される駆動パラメータは各ブロックへ出力され、表示データは表示メモリ1006へ出力される。タイミング生成部1004は、制御レジスタ1003から与えられる駆動パラメータに基づき、タイミング信号群を自ら生成して出力する部分であり、その内容は、図4で示したタイミング信号群に等しい。これと同時に、表示メモリの読出しアドレスを生成

し、アドレスデコーダ1005へ出力する。

【0021】アドレスデコーダ1005は、表示データの書込み時には、制御レジスタ1003から与えられる表示位置データをデコードし、これに相当する表示メモリ1006内のビット線とワード線を選択する。その後、制御レジスタ1003から与えられる表示データを、表示メモリ1006のデータ線へ出力し、書込み動作を完了する。一方、読出し時には、タイミング生成部1004が出力する読出しアドレスをデコードし、該当する表示メモリ1006内のワード線を選択する。その後、表示メモリ1006のデータ線から、1ライン分の表示データが一括して出力される。なお、上記の読出しアドレスは、例えば画面の先頭ラインのデータが格納されているアドレスから順に1ラインずつ切り換わり、最終ラインのアドレスの次は、再び先頭ラインに戻ってこの動作を繰り返す。なお、アドレス切換えタイミングはCL1に同期し、先頭ラインのアドレスを出力するタイミングは、FLMに同期するものとする。なお、アドレスデコーダ1005は、書込み動作と読出し動作が同時に発生した場合にどちらかを優先させる、いわゆる調停機能を持つものとする。

【0022】列電極駆動部1007は、表示メモリ1006から読み出された表示データを、所定の列電圧に変換すると共に、その出力と対向電極からの端子を選択して出力する部分であり、その構成は図5に示した本発明第1の実施の形態に係る列電極駆動回路203と同様に、列電圧生成回路とショートスイッチの構成で実現可能である。

【0023】対向電極駆動部1008、行電極駆動部1009は、本発明第1の実施の形態に係る対向電極駆動部204、行電極駆動部205と同じ構成、同じ動作を行い、各ブロックに必要な入力信号と入力電圧は、それぞれタイミング生成部1004、および電源回路1010から与えられる。

【0024】以上説明した液晶表示制御装置1001の動作により、本発明の特徴である、交流化のタイミングにおける、列電極、対向電極間の一時的なショート動作が実現可能である。したがって、本発明第1の実施の形態と同様に、低消費電力化が可能である。

【0025】ここで、本発明第2の実施の形態に係る液晶表示制御装置1001は、例えば携帯電話装置に適用可能である。図13は携帯電話装置のブロック構成の一例であり、1301は本発明の液晶表示制御装置と画素部を含む液晶モジュール、1302は音声の圧縮／伸張を行うADPCコーデック回路、1303はスピーカ、1304はマイク、1305はキーボード、1306はデジタルデータを時分割多重化するTDMA回路、1307は登録されたID番号を格納するEEPROM、1308はプログラムを格納するROM、1309はデータの一時格納やマイコンの作業エリアとなるSRAM、

1310は無線信号のキャリア周波数を設定するPLL回路、1311は無線信号を送受信するためのRF回路、1312はシステム制御マイコンである。図13において、前述の駆動パラメータおよび表示データは、システム制御マイコン1312から与えられ、これらのデータは、それぞれROM1308、およびSRAM1309に格納されている。各ブロックの詳細説明はここでは省略するが、図13に示した構成により、本発明第2の実施の形態に係る液晶表示制御装置を、携帯電話装置に適用することが可能である。

【0026】以下、本発明第3の実施の形態について、図14～16を用いて説明する。本発明第3の実施の形態は、行電極駆動部における低消費電力化を実現することを目的に、本発明のショート動作の適用を図ったものである。一般的なアクティブマトリクス型液晶の駆動方式において、図8で示したGON電圧はGNDよりも高い電位、GOFFはGNDよりも低い電位である。この点に着目すると、図14に示すように、行電圧を一時的にGNDにショートすれば、GNDまでの電圧移行に伴う消費電力は無くなり、行電圧駆動部の消費電力を削減することが可能である。そこで、この動作を実現する行電極駆動部の構成と動作を図15、図16を用いて説明する。図15は、本発明第3の実施の形態に係る行電極駆動部の内部構成を示す図であり、1501は行電極駆動部、1502は行選択回路、1503はスイッチ制御回路、1504はショートスイッチCである。まず、行選択回路1502は、本発明第1の実施の形態に係る行電極駆動部205と同様、VGON/VGOFFを出力する部分であり、FLMのハイをCL3の立上りで取り込み、これをCL3に同期して順次シフトし、Rとして出力する。スイッチ制御回路1503は、ショートスイッチC1504を制御する部分であり、その入力FLM、CL3、SHTRである。そして、行にVGONを印加する走査期間とその前の1走査期間、SHTRをそのまま出力し、その他の期間ではローを出力する。ショートスイッチC1504は、スイッチ制御回路1503が出力する制御信号SRがハイの場合GNDを選択し、ローの場合行選択回路からの端子を選択してVYとして出力する。一例として、VY2に関する動作のタイミングチャートを図16にまとめる。図16から判る様に、本発明第3の実施の形態に係る行電極駆動部1501により、図14に示した動作が実現可能である。

【0027】以上説明した、本発明第3の実施の形態に係る行電極駆動部は、本発明第1の液晶表示装置、および本発明第2の液晶表示制御装置と組合せることにより、より一層低消費電力化を図ることが可能である。

【0028】次に、本発明第4の実施の形態について、図17～20を用いて説明する。まず、アクティブマトリクス型液晶の画素構造として、図2で示した構造以外に、図17に示すように、保持容量の端子を当該行の前

段の行に接続する構造知られている。この画素構成を用いる場合、行電極駆動部においては、図18に示すように、保持容量と液晶セルとの電位関係を同じにする目的で、G0FFの電圧波形を対向電圧と同じ振幅で変化させこと一般的である。この駆動方法に本発明のショート動作を適用する場合、図19に示すように、SHTがハイのショート期間において、VCOMとVYの電位関係が異なる状態となる。この結果、保持容量に蓄積された電荷が移動し、消費電力が増大する。これを防止するには、例えば図20に示すように、ショート期間において、VYの出力をハイインピーダンス(Hi-Z)状態にすれば良い。この動作は、例えば行電極駆動部の中にスイッチを設け、SHTのハイに合せてVYの接続を切ることによって容易に実現可能である。

【0029】以上示した、本発明第4の実施の実施の形態によれば、保持容量の端子を当該行の前段の行に接続する画素構造に対し、本発明第1〜3と同様な消費電力削減効果を得ることができる。

【0030】なお、本発明の実施の形態においては、コモン反転駆動を例に説明したが、対向電圧を振幅させない駆動方式として知られているドット反転駆動、列毎反転駆動に対しても、同様な考え方で適用可能である。本発明第5の実施の形態として、上記駆動方式における、列電圧および対向電圧波形を図21に示す。

【0031】上記の本実施の形態により以下の効果を奏する。印加する電圧の実効値で各画素の透過率(明るさ)を制御する、アクティブマトリクス型の液晶表示装置において、液晶を挟持する列電極と対向電極を、交流化のタイミングにおいて一時的にショートすることにより、電力を消費することなく、交流化のほぼ中点まで電圧を遷移させることができる。これにより、外部に部品を設けることなく、消費電力を削減することが可能である。

【0032】また、行を選択する信号である行電極の印加電圧を、一時的にGNDにショートすることにより、消費電力を削減することが可能である。

【0033】さらに、上記のショート期間において、行電極の印加電圧をハイインピーダンス状態にすることにより、保持容量の端子を当該行の前段の行に接続する画素構造に対しても、余分な電力を消費することなく、上記の消費電力削減方法を適用することができる。

【0034】

【発明の効果】本発明により、液晶表示装置を含むマトリクス型表示装置の消費電力を抑えることができる。

【図面の簡単な説明】

【図1】本発明の概念を示す、液晶の回路モデルである。

【図2】本発明第1の実施の形態に係る、液晶表示装置の構成を示すブロック図である。

【図3】本発明第1の実施の形態に係る、タイミング制

御の入力信号を示すタイミングチャートである。

【図4】本発明第1の実施の形態に係る、タイミング制御の出力信号を示すタイミングチャートである。

【図5】本発明第1の実施の形態に係る、列電極駆動部と対向電極駆動部の構成を示すブロック図である。

【図6】本発明第1の実施の形態に係る、列電圧生成部の動作説明図である。

【図7】本発明第1の実施の形態に係る、列電極駆動部と対向電極駆動部の動作を示すタイミングチャートである。

【図8】本発明第1の実施の形態に係る、行電極駆動部の動作を示すタイミングチャートである。

【図9】本発明第1の実施の形態に係る、液晶印加電圧を示すタイミングチャートである。

【図10】本発明第2の実施の形態に係る、液晶表示制御装置の構成を示すブロック図である。

【図11】本発明第2の実施の形態に係る、システムインタフェースの入力信号の説明図である。

【図12】本発明第2の実施の形態に係る、システムインタフェースの入力信号の動作を示すタイミングチャートである。

【図13】本発明第2の実施の形態に係る、携帯電話装置の構成を示すブロック図である。

【図14】本発明第3の実施の形態に係る、液晶表示装置の動作を示すタイミングチャートである。

【図15】本発明第3の実施の形態に係る、行電極駆動部の構成を示すブロック図である。

【図16】本発明第3の実施の形態に係る、行電極駆動部の動作を示すタイミングチャートである。

【図17】本発明第4の実施の形態に係る、画素の構成を示す回路モデルである。

【図18】本発明第4の実施の形態に係る、画素部への印加電圧を示すタイミングチャートである。

【図19】本発明第4の実施の形態に係る、画素部への印加電圧を示すタイミングチャートである。

【図20】本発明第4の実施の形態に係る、行電極駆動部の動作を示すタイミングチャートである。

【図21】本発明第5の実施の形態に係る、液晶表示装置の動作を示すタイミングチャートである。

【符号の説明】

201…液晶表示装置

202…タイミング制御部

203…列電極駆動部

204…対向電極駆動部

205…行電極駆動部

206…電源回路

501…データラッチ回路

502…列電圧生成回路

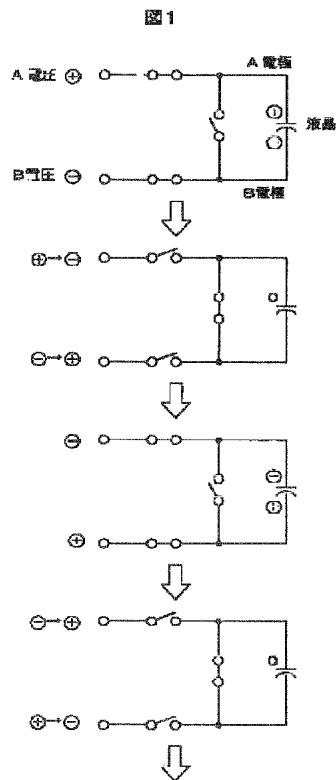
503…ショートスイッチA

504…対向電圧生成回路

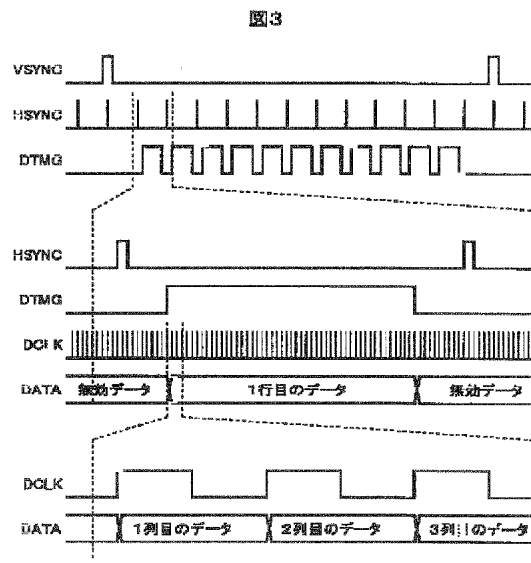
505…ショートスイッチB
1001…液晶表示制御装置
1002…システムインタフェース
1003…制御レジスタ
1004…タイミング制御部
1005…アドレスデコーダ
1006…表示メモリ
1007…列電極駆動部

1008…対向電極駆動部
1009…行電極駆動部
1010…電源回路
1301…液晶モジュール
1501…行電極駆動部
1502…行選択回路
1503…スイッチ制御回路
1504…スイッチC

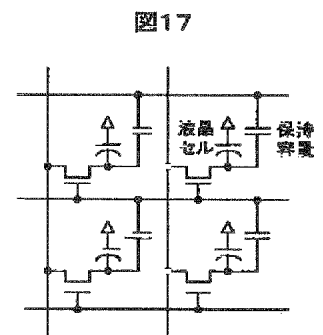
【図1】



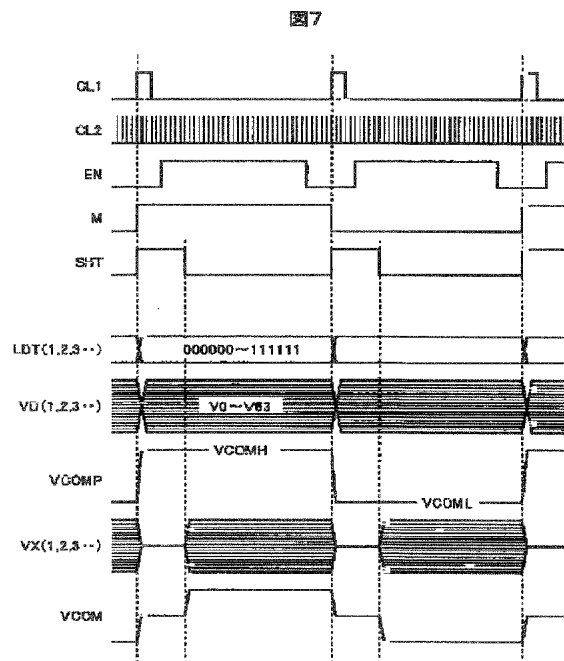
【図3】



【図17】

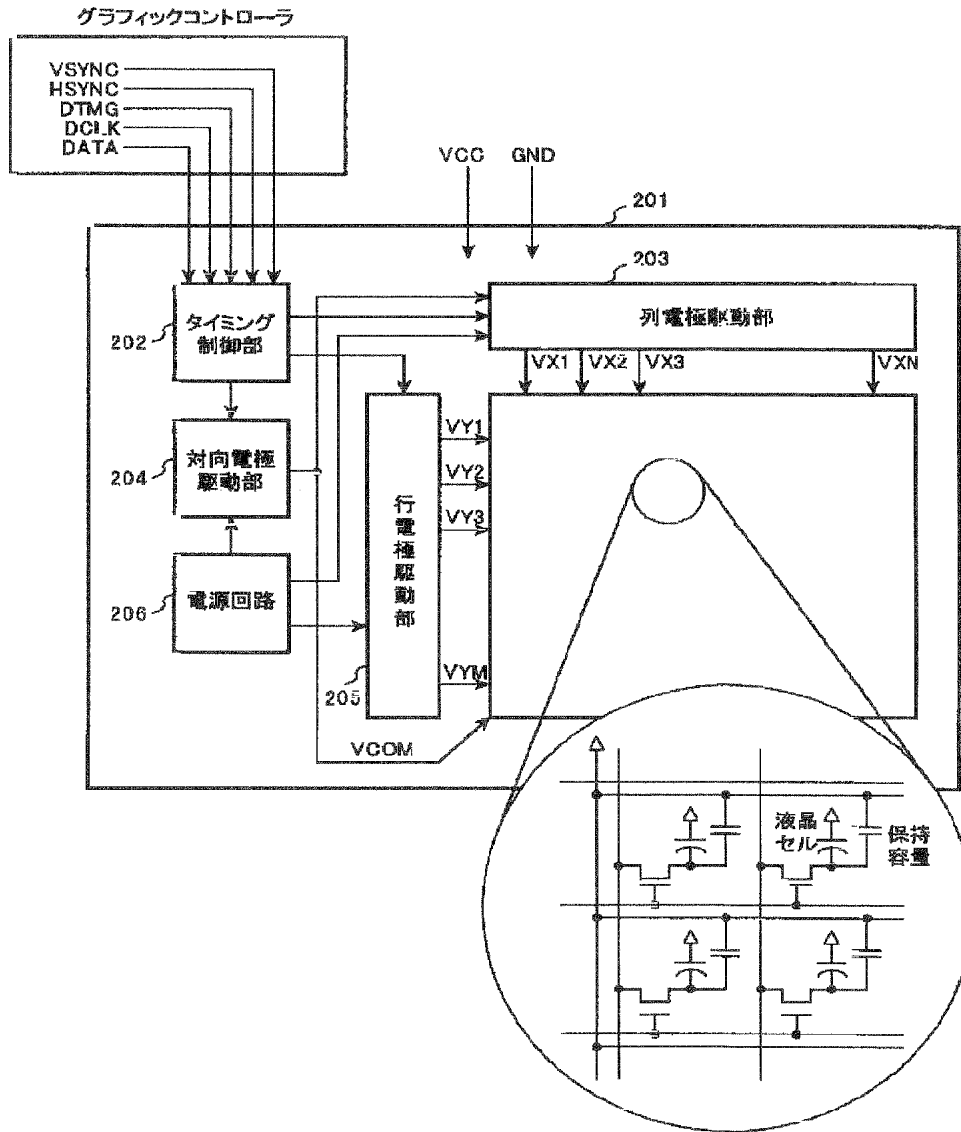


【図7】



【図2】

図2



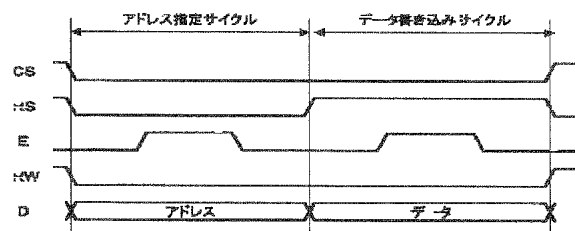
【図11】

【図12】

図11

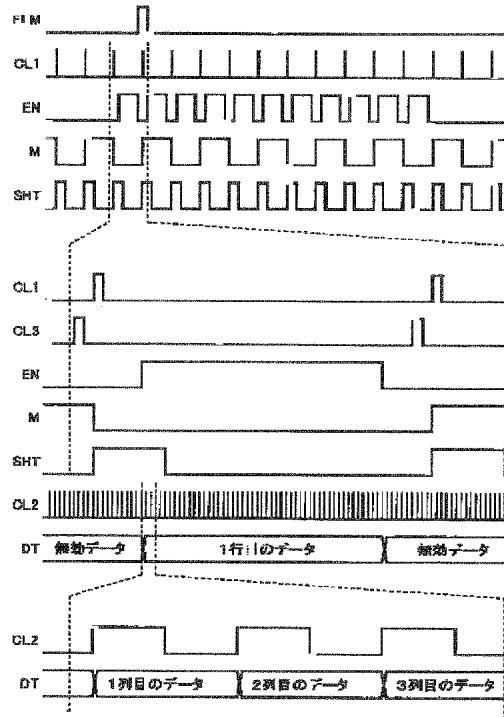
番号名	意味	"ロー"	"ハイ"
CS	チップの選択	アクセス可	アクセス不可
RS	レジスタのアドレス/データの選択	アドレス	データ
DI	データ書き込み/読出しの起動	非起動	起動
RW	データ書き込み/読出しの選択	書き込み	読出し
D	双方向データ	-	-

図12



【図4】

図4



【図6】

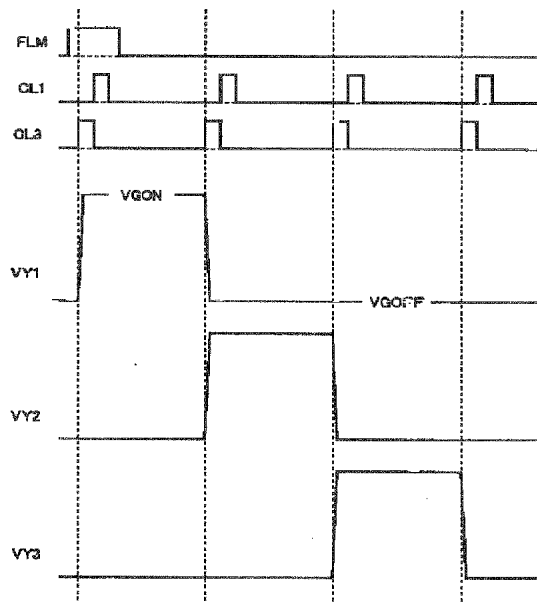
図6

LDATA	M	VD	
		NWモード液晶	NBモード液晶
黒 000000	ハイ	低電位 V0	高電位 V63
000001		V1	V62
000010		V2	V61
000011		V3	V60
000100		V4	V59
000101		V5	V58
000110		V6	V57
...	ロー
111101		V61	V2
111110		V62	V1
白 111111		高電位 V63	低電位 V0
黒 000000	ハイ	高電位 V63	低電位 V0
000001		V62	V1
000010		V61	V2
000011		V60	V3
000100		V59	V4
000101		V58	V5
000110		V57	V6
...	ロー
111101		V2	V61
111110		V1	V62
白 111111		低電位 V0	高電位 V63

NWモード液晶：電圧無印加時に白表示の液晶
NBモード液晶：電圧無印加時に黒表示の液晶

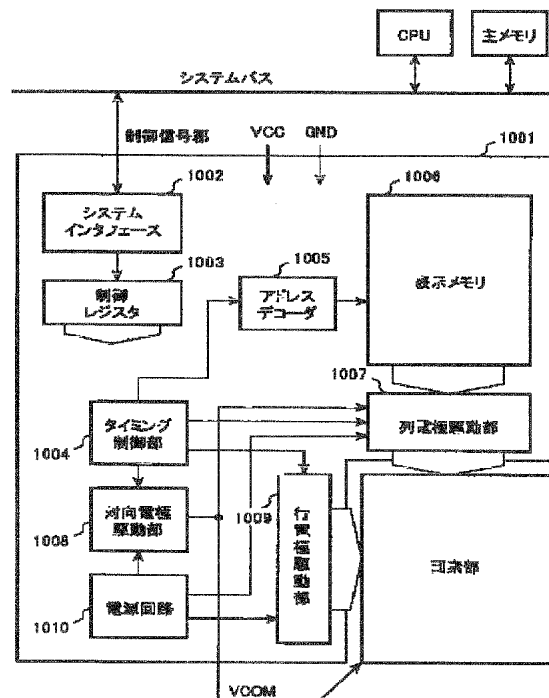
【図8】

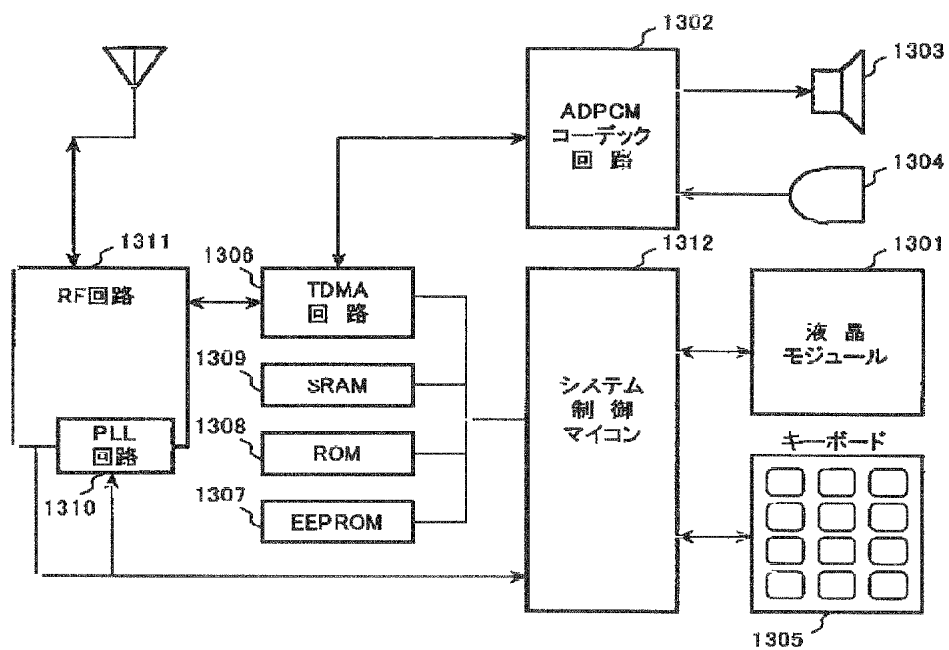
図8



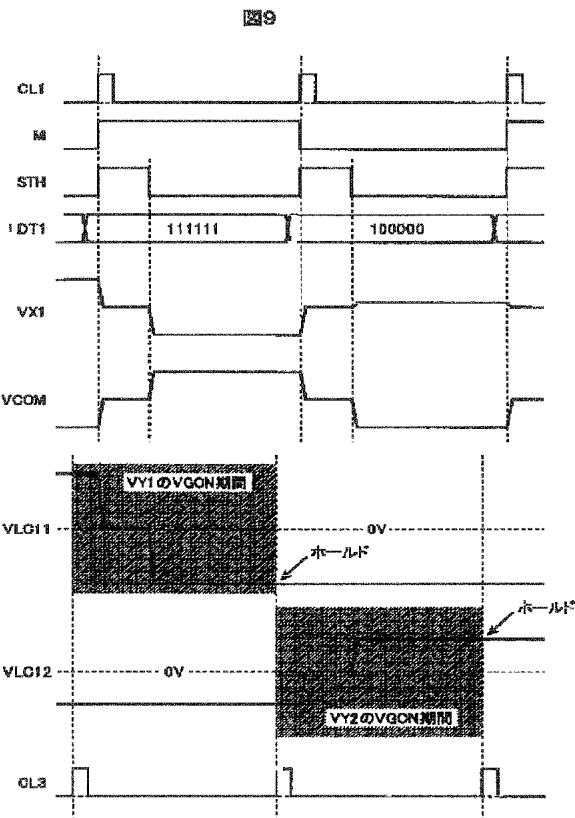
【図10】

図10

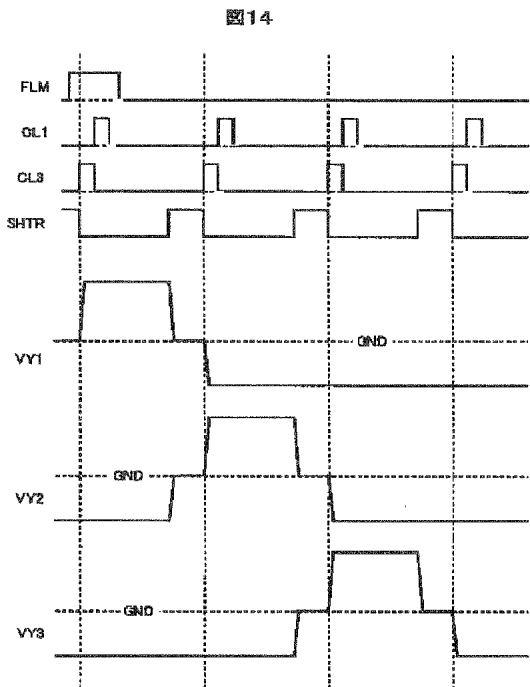




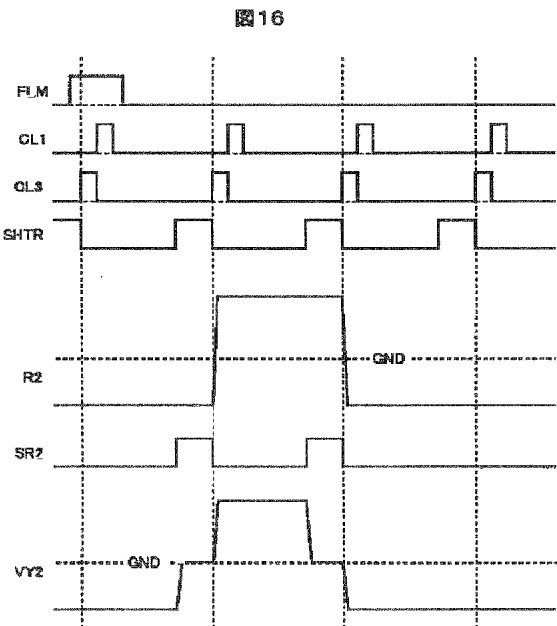
【図9】



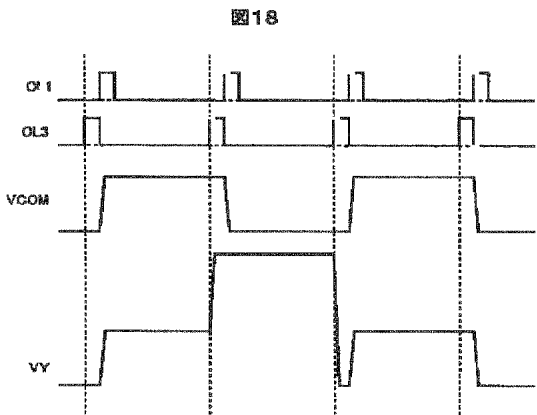
【図14】



【図16】

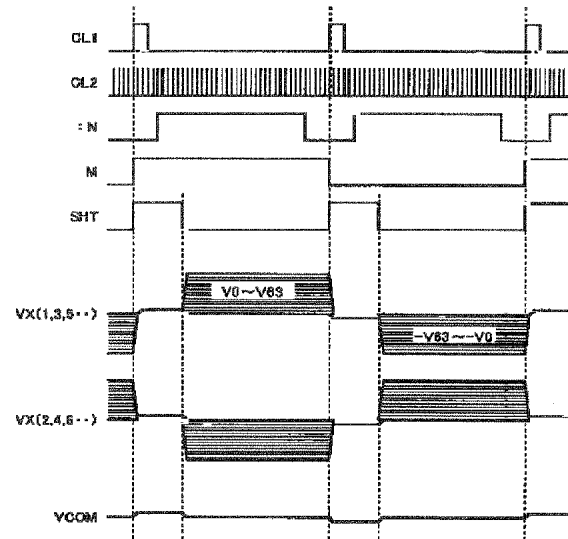


【図18】



【図 2 1】

図 2 1



フロントページの続き

(51)Int. Cl. ⁷	識別記号	F I	(参考)
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 E
(72)発明者 黒川 一成 千葉県茂原市早野3300番地 株式会社日立 製作所ディスプレイグループ内	F ターム(参考) 2H093 NA16 NA31 NA41 NC22 NC58 ND39 5C006 AC24 AC25 AC27 AF64 AF69 BB16 BC03 BC12 BC20 BF02 BF03 BF24 BF26 FA47		
(72)発明者 比嘉 淳裕 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立画像情報システム内	5C080 AA10 BB05 DD26 FF11 JJ02 JJ04 JJ05		